

(43)Date of publication of application : 30.03.1999

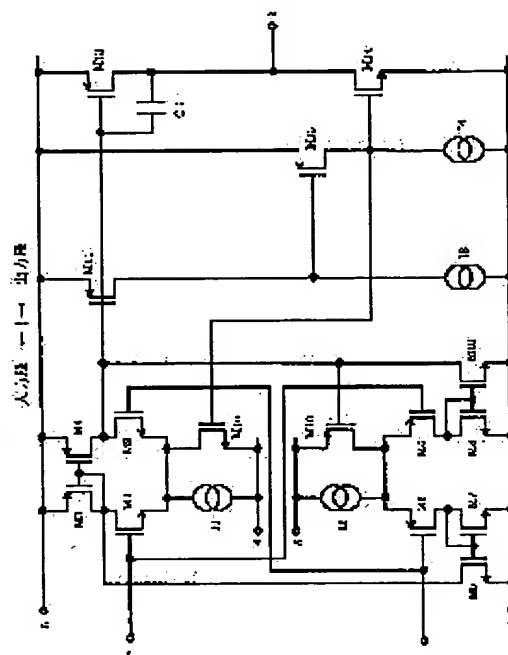
H03F 3/45

(71)Applicant : NEC YAMAGATA LTD

(72)Inventor : KATO FUMIHIKO

(57)Abstract:

SOLUTION: An operational amplifier is provided with an N-type field-effect transistor M15 and a P-type field-effect transistor M16, which are individually connected to constant current sources I1 and I2 in parallel. The outputs of an input stage, which are inputted to the gates of the N-type field effect transistor M13 and the P-type field-effect transistor M14, in an output stage and bias current supplied to a differential transistor pair constituted of P-type field-effect transistors M5 and M6 and a differential transistor pair constituted of N-type field-effect transistors M1 and M2 in accordance with the level shift signal are individually controlled in parallel.



[Date of extinction of right]

(51) Int.Cl.⁶

H O 3 F 3/45

識別記号

FI

H 0 3 F 3/45

A

審査請求 有 請求項の数7 O L (全 16 頁)

(21)出願番号

特願平9-239798

(22) 出願日

平成9年(1997)9月4日

(71)出願人 390001915

山形日本電気株式会社

山形県山形市北町4丁目12番12号

(72) 発明者 加藤 文彦

山形県山形市北町四丁目12番12号 山形日
本電気株式会社内

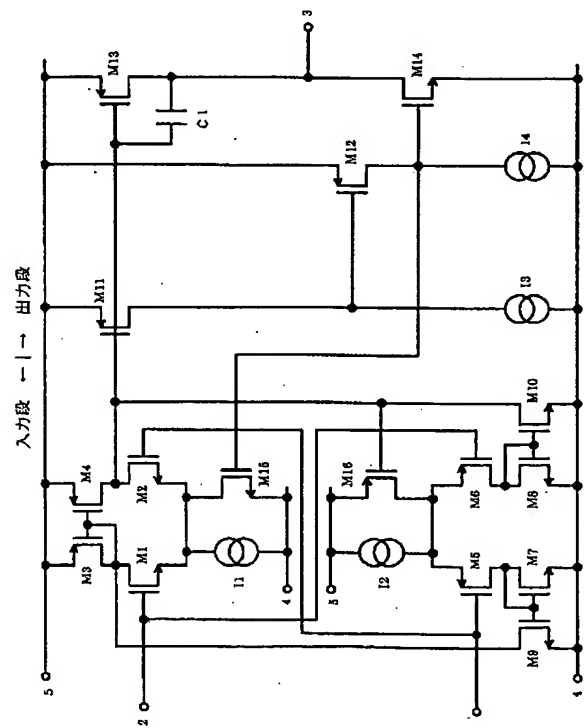
(74)代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 演算増幅器

(57) 【要約】

【課題】消費電流を増加させず、速やかに上昇出力信号あるいは下降出力信号を得る。

【解決手段】定電流源 I 1, I 2 に個別に並列接続される N 型電界効果トランジスタ M 1 5, P 型電界効果トランジスタ M 1 6 を備え、出力段の N 型電界効果トランジスタ M 1 3, P 型電界効果トランジスタ M 1 4 のゲートに入力される入力段の出力, そのレベルシフト信号に対応して, P 型電界効果トランジスタ M 5, M 6 からなる差動トランジスタ対、および、N 型電界効果トランジスタ M 1, M 2 からなる差動トランジスタ対に供給する各バイアス電流を個別に並列制御する。



1

【特許請求の範囲】

【請求項 1】 定電流源と 2 つの出力端との間にそれぞれ接続された 2 つのトランジスタから成りそれらの各制御電極に 2 つの信号入力端子からそれぞれ信号入力し差動増幅する差動トランジスタ対を有し前記 2 つの出力端の一方から出力する入力段と、2 つの電源端子と信号出力端子との間にそれぞれ接続された互いに逆導電型の 2 つの出力トランジスタを有し前記入力段の出力を入力しこの信号をレベルシフトしたレベルシフト信号を生成し前記入力段の出力または前記レベルシフト信号を前記 2 つの出力トランジスタの制御電極に入力し前記信号出力端子にプッシュプル動作で信号出力する出力段と、前記入力段の出力および前記信号出力端子の間に接続された容量とを備える演算増幅器において、前記入力段が、前記定電流源と並列接続され前記入力段の出力または前記レベルシフト信号に対応して前記差動トランジスタ対に供給するバイアス電流を並列制御する並列制御手段を備えることを特徴とする演算増幅器。

【請求項 2】 前記入力段が、前記定電流源と逆極性である逆定電流源と、前記 2 つの出力端にそれぞれ出力接続する 2 つの電流ミラー回路と、これら 2 つの電流ミラー回路の 2 つの入力と前記逆定電流源との間にそれぞれ接続され前記差動トランジスタ対と逆導電型である 2 つのトランジスタから成りそれらの各制御電極に前記 2 つの信号入力端子からそれぞれ信号入力し差動増幅する逆導電型差動トランジスタ対とを備え、前記並列制御手段が、前記逆定電流源、前記定電流源に個別に並列接続され前記入力段の出力または前記レベルシフト信号に対応して前記逆導電型差動トランジスタ対、前記差動トランジスタ対に供給する各バイアス電流を個別に並列制御する、請求項 1 記載の演算増幅器。

【請求項 3】 前記並列制御手段が、前記信号出力端子の電位が前記各電源端子の電位と同等であるとき不活性化される、請求項 1 または 2 記載の演算増幅器。

【請求項 4】 前記並列制御手段が、前記定電流源または前記逆定電流源と並列に接続され前記入力段の出力または前記レベルシフト信号を制御電極に入力するトランジスタを備える、請求項 1、2 または 3 記載の演算増幅器。

【請求項 5】 前記並列制御手段が、前記入力段の出力または前記レベルシフト信号に対応して変化する電流を入力し前記定電流源または前記逆定電流源と並列に電流出力する電流ミラー回路を備える、請求項 1、2、3 または 4 記載の演算増幅器。

【請求項 6】 前記出力段および前記並列制御手段において、前記入力段の出力または前記レベルシフト信号を制御電極に入力するトランジスタのみを電界効果トランジスタまたはバイポーラトランジスタで構成した、請求項 1 ～ 5 記載の演算増幅器。

【請求項 7】 前記入力段および前記出力段が相補構成

2

された回路から成る、請求項 1 ～ 6 記載の演算増幅器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は演算増幅器に関し、特に広出力レンジの出力段をもつ演算増幅器に関する。

【0002】

【従来の技術】この種の従来の演算増幅器の 1 つとして、広レンジの入出力が可能であり且つ大きな負荷を駆動するための演算増幅器があり、本発明者が既に特開平 8-204470 号公報などで提案している。図 8 は、この従来の演算増幅器の構成例を示す回路図である。

【0003】図 8 を参照すると、この従来の演算増幅器は、大きく分割すると、信号入力端子 1、2 の信号を入力し差動増幅する入力段と、出力信号端子 3 を駆動し信号出力する出力段とから構成されている。

【0004】入力段は、ソースが共通に接続され、ゲートがそれぞれ信号入力端子 1、2 に接続され差動トランジスタ対を構成する N 型電界効果トランジスタ M2、M1 と、N 型電界効果トランジスタ M1、M2 の共通接続されたソースおよび低位側電源端子 4 の間に接続された第 1 の定電流源 I1 と、ゲートおよびドレインが N 型電界効果トランジスタ M1 のドレインに接続され、ソースが高位側電源端子 5 に接続された P 型電界効果トランジスタ M3 と、ソースが高位側電源端子 5 に接続され、ゲートが P 型電界効果トランジスタ M3 のゲートおよびドレインに接続され、ドレインが N 型電界効果トランジスタ M2 のドレインに接続された P 型電界効果トランジスタ M4 とを備え、さらに、ソースが共通に接続され、ゲートがそれぞれ信号入力端子 1、2 に接続され差動トランジスタ対を構成する P 型電界効果トランジスタ M5、M6 と、P 型電界効果トランジスタ M5、M6 の共通接続されたソースおよび高位側電源端子 5 の間に接続された第 2 の定電流源 I2 と、ゲートおよびドレインが P 型電界効果トランジスタ M5 のドレインと接続され、ソースが低位側電源端子 4 に接続された N 型電界効果トランジスタ M7 と、ゲートおよびドレインが P 型電界効果トランジスタ M6 のドレインと接続され、ソースが低位側電源端子 4 に接続された N 型電界効果トランジスタ M8 と、N 型電界効果トランジスタ M7 とカレントミラー接続され、ドレインが P 型電界効果トランジスタ M3 のドレインに接続された N 型電界効果トランジスタ M9 と、N 型電界効果トランジスタ M8 とカレントミラー接続され、ドレインが P 型電界効果トランジスタ M4 のドレインに接続された N 型電界効果トランジスタ M10 とを備えている。

【0005】出力段は、ソースを高位側電源端子 5 に接続し、ゲートを P 型電界効果トランジスタ M4、N 型電界効果トランジスタ M2、N 型電界効果トランジスタ M10 の各ドレインに接続した、P 型電界効果トランジスタ M11 および P 型電界効果トランジスタ M13 と、N

3

型電界効果トランジスタM11および低位側電源端子4の間に接続された第3の定電流源I3と、ソースを高位側電源端子5に接続し、ゲートをP型電界効果トランジスタM11のドレインと第3の定電流源との接続部に接続された、P型電界効果トランジスタM12と、ソースを低位側電源端子4に接続し、ゲートをP型電界効果トランジスタM12の第4の定電流源との接続部に接続された、N型電界効果トランジスタM14とを備え、P型電界効果トランジスタM13およびN型電界効果トランジスタM14のドレインを、出力信号端子3に接続している。

【0006】次に、この従来の演算増幅器の動作について説明する。

【0007】この従来の演算増幅器は、N型電界効果トランジスタM1、M2からなる差動トランジスタ対とP型電界効果トランジスタM5、M6からなる差動トランジスタ対とを並列に構成した広入力レンジの入力段を備え、P型電界効果トランジスタM2のドレイン端子の信号が、入力段の出力として、出力段に出力される。出力段において、この入力段の出力は、P型電界効果トランジスタM13のゲートに入力され、信号入力端子1、2にそれぞれ印加される信号電圧の割合に応じてゲート電圧を変化させ、同時に、P型電界効果トランジスタM11、P型電界効果トランジスタM12を介してレベルシフトされ、このレベルシフト信号が、N型電界効果トランジスタM14のゲートに入力され、そのゲート電圧を同時変化させる。これら電界効果トランジスタM13、14の各ゲート電圧変化に応じ、出力端子3の電位が速やかに上昇あるいは下降する。

【0008】例えば、信号入力端子2に対して信号入力端子1に印加される電圧が高い場合、差動トランジスタ対を構成する電界効果トランジスタM2のドレインからの入力段の出力が低くなり、出力段のP型電界効果トランジスタM11、M13のゲート電圧は、低くなる。この時、P型電界効果トランジスタM13を通り出力端子3へ高位側電源端子5から流れる電流は、非常に大きくなる。同時に、P型電界効果トランジスタM11のドレインと第3の定電流源I3との接続点の電位、即ち、P型電界効果トランジスタM12のゲート電圧は、高くなる。すると、P型電界効果トランジスタM12のドレインと第4の定電流源I4との接続点の電位、即ちレベルシフト信号であるP型電界効果トランジスタM14のゲート電圧は、低くなる。すると、N型電界効果トランジスタM14を通り出力端子3から低位側電源端子4に流れる電流は、非常に小さくなる。

【0009】ここで、P型電界効果トランジスタM13を流れる電流は大きく、N型電界効果トランジスタM14を流れる電流は遮断されている状態であるから、信号出力端子3の電位を速やかに上昇させることができる。

【0010】また、信号入力端子2に対して信号入力端

4

子1に印加される電圧が低い場合、差動トランジスタ対を構成する電界効果トランジスタM2のドレインからの入力段の出力が高くなり、出力段のP型電界効果トランジスタM11、M13のゲート電圧は、高くなる。この時、P型電界効果トランジスタM13を通り出力端子3へ高位側電源端子5から流れる電流は、非常に小さくなる。同時に、P型電界効果トランジスタM11のドレインと第3の定電流源I3との接続点の電位、即ち、P型電界効果トランジスタM12のゲート電圧は、低くなる。すると、P型電界効果トランジスタM12のドレインと第4の定電流源I4との接続点の電位、即ちレベルシフト信号であるP型電界効果トランジスタM14のゲート電圧は、高くなる。すると、N型電界効果トランジスタM14を通り出力端子3から低位側電源端子4に流れる電流は、非常に大きくなる。

【0011】ここで、N型電界効果トランジスタM14を流れる電流は大きく、P型電界効果トランジスタM13を流れる電流は遮断されている状態であるから、信号出力端子3の電位を速やかに下降させることができる。

【0012】この従来の演算増幅器において、信号出力端子3の電位は、高位側電源端子5からのP型電界効果トランジスタM13のドレインおよびソース間の電圧分が下がった電位から、低位側電源端子4からのN型電界効果トランジスタM14のドレインおよびソース間の電圧分上がった電位まで出力でき、広出力レンジの出力段が可能となる。

【0013】また、平衡状態時にP型電界効果トランジスタM13、N型電界効果トランジスタM14を流れるアイドリング電流は、P型電界効果トランジスタM11とP型電界効果トランジスタM13とのサイズ比および第3の定電流源I3に流す電流により決まる。例えば、第3の定電流源I3に流す電流を $I(\mu A)$ とし、P型電界効果トランジスタM11、M13のサイズ比を1:2とすると、その時のP型電界効果トランジスタM13およびN型電界効果トランジスタM14を流れるアイドリング電流は、 $2I(\mu A)$ となる。

【0014】以上のように、図8に示す回路では、広入力レンジおよび広出力レンジが可能であり且つ信号出力端子3の電位の上昇あるいは下降を速やかに行うことができる演算増幅器が得られる。

【0015】

【発明が解決しようとする課題】この演算増幅器の立ち上がり、立ち下がり電圧のスルーレート dV_0/dt は、演算増幅器の性能を示す一つのパラメータであり、大まかに、式 $dV_0/dt \propto I_i/C$ で表され、この値が大きいと、出力信号端子をより速やかに上昇あるいは下降できることを示す。ここで、変数 I_i は、入力段の差動トランジスタ対に定電流源により供給するバイアス電流である。また、変数 C は、演算増幅器の高周波特性の劣化を防ぐための位相補償容量であり、好ましくは、図

8におけるP型電界効果トランジスタM13のゲートおよびドレイン間に接続される。

【0016】上式からも解るように、演算増幅器のスルーレートは、入力段に流すバイアス電流に大きく依存している。このため、現状の構成では、スルーレートを大きくし、より早い上昇出力信号、下降出力信号を得ようとするならば、入力段の差動トランジスタ対に供給するバイアス電流、つまり、図8に於いての第1の定電流源I1の値と第2の定電流源I2の値とを大きくしてやる必要がある。しかし、その場合は、演算増幅器全体としての消費電流が増加してしまう。

【0017】従って、本発明の目的は、広出力レンジで、消費電流を変えずに、従来よりも速い上昇出力信号あるいは下降出力信号を得ることができる演算増幅器を提供することにある。

【0018】

【課題を解決するための手段】そのために、本発明は、定電流源と2つの出力端との間にそれぞれ接続された2つのトランジスタから成りそれらの各制御電極に2つの信号入力端子からそれぞれ信号入力し差動増幅する差動トランジスタ対を有し前記2つの出力端の一方から出力する入力段と、2つの電源端子と信号出力端子との間にそれぞれ接続された互いに逆導電型の2つの出力トランジスタを有し前記入力段の出力を入力しこの信号をレベルシフトしたレベルシフト信号を生成し前記入力段の出力または前記レベルシフト信号を前記2つの出力トランジスタの制御電極に入力し前記信号出力端子にプッシュプル動作で信号出力する出力段と、前記入力段の出力および前記信号出力端子の間に接続された容量とを備える演算増幅器において、前記入力段が、前記定電流源と並列接続され前記入力段の出力または前記レベルシフト信号に対応して前記差動トランジスタ対に供給するバイアス電流を並列制御する並列制御手段を備えている。

【0019】また、前記入力段が、前記定電流源と逆極性である逆定電流源と、前記2つの出力端にそれぞれ出力接続する2つの電流ミラー回路と、これら2つの電流ミラー回路の2つの入力と前記逆定電流源との間にそれぞれ接続され前記差動トランジスタ対と逆導電型である2つのトランジスタから成りそれらの各制御電極に前記2つの信号入力端子からそれぞれ信号入力し差動増幅する逆導電型差動トランジスタ対とを備え、前記並列制御手段が、前記逆定電流源、前記定電流源に個別に並列接続され前記入力段の出力または前記レベルシフト信号に対応して前記逆導電型差動トランジスタ対、前記差動トランジスタ対に供給する各バイアス電流を個別に並列制御している。

【0020】また、前記並列制御手段が、前記信号出力端子の電位が前記2つの電源端子の電位と同等であるとき不活性化される。

【0021】また、前記並列制御手段が、前記定電流源

または前記逆定電流源と並列に接続され前記入力段の出力または前記レベルシフト信号を制御電極に入力するトランジスタを備えている。

【0022】また、前記並列制御手段が、前記入力段の出力または前記レベルシフト信号に対応して変化する電流を入力し前記定電流源または前記逆定電流源と並列に電流出力する電流ミラー回路を備えている。

【0023】また、前記出力段および前記並列制御手段において、前記入力段の出力または前記レベルシフト信号を制御電極に入力するトランジスタのみを電界効果トランジスタまたはバイポーラトランジスタで構成している。

【0024】さらに、前記入力段および前記出力段が相補構成された回路から構成されている。

【0025】

【発明の実施の形態】次に、本発明の実施の形態を図面を参照して説明する。図1は、本発明の演算増幅器の実施形態1を示す回路図である。

【0026】図1を参照すると、本実施形態に係わる演算増幅器は、大きく分割すると、信号入力端子1、2の信号を入力し差動増幅する入力段と、出力信号端子3を駆動し信号出力する出力段と、入力段の出力および出力信号端子3の間に接続された容量C1とから構成されている。本実施形態の演算増幅器は、図8の従来の演算増幅器と比較すると、容量C1が追加されると共に、N型電界効果トランジスタM15およびP型電界効果トランジスタM16が入力段に追加されたものである。これら電界効果トランジスタM15、M16および容量C1以外の構成は、従来と同様であり、重複説明を省略する。

【0027】入力段のN型電界効果トランジスタM15は、第1の定電流源I1と並列に接続され、ゲートを出力段のN型電界効果トランジスタM14のゲートに接続し、出力段のN型電界効果トランジスタM14のゲートに入力されるレベルシフト信号により、N型電界効果トランジスタM1、M2からなる差動トランジスタ対に供給するバイアス電流を並列制御する。

【0028】入力段のP型電界効果トランジスタM16は、第2の定電流源I2と並列に接続され、ゲートを出力段のP型電界効果トランジスタM13のゲートに接続し、出力段のP型電界効果トランジスタM13のゲートに入力される入力段の出力により、P型電界効果トランジスタM5、M6からなる差動トランジスタ対に供給するバイアス電流を並列制御する。

【0029】容量C1は、演算増幅器の高周波特性の劣化を防ぐために使用される位相補償容量である。この位相補償容量C1は、入力段の出力および出力信号端子3の間に、好ましくは、P型電界効果トランジスタM13のゲートおよびドレイン間に接続される。

【0030】次に、本実施形態に係わる演算増幅器の動作について説明する。

【0031】本実施形態に係わる演算増幅器は、図8の従来の演算増幅器と同じく、N型電界効果トランジスタM1、M2からなる差動トランジスタ対とP型電界効果トランジスタM5、M6からなる差動トランジスタ対とを並列に構成した広入力レンジの入力段を備え、出力段において、信号入力端子1、2にそれぞれ印加される信号電圧の割合に応じて、入力段の出力およびそのレベルシフト信号により、電界効果トランジスタM13、14の各ゲートのゲート電圧を同時変化させる。これら電界効果トランジスタM13、14の各ゲート電圧変化に応じ、出力端子3の電位が速やかに上昇あるいは下降する。

【0032】この出力段の動作は、図8の従来の演算増幅器の出力段の動作と同じであり、従来と同様に、広出力レンジの出力段が可能であり、平衡状態時にP型電界効果トランジスタM13およびN型電界効果トランジスタM14を流れるアイドリング電流は、P型電界効果トランジスタM11、M13のサイズ比および第3の定電流源I3に流す電流により決まる。

【0033】さらに、本実施形態では、信号入力端子2に対して信号入力端子1に印加される電圧が高い場合、差動トランジスタ対を構成する電界効果トランジスタM2のドレインからの入力段の出力が低くなり、出力段のP型電界効果トランジスタM11、M13のゲート電圧が低くなると同時に、入力段のP型電界効果トランジスタM16のゲート電圧も低くなる。このことは、P型電界効果トランジスタM16に大きな電流を流すことになる。つまり、入力段に流れる電流が出力信号端子3の上昇期間だけ大きくなることを意味する。従って、式 $dV_0/dt = I/C$ の変数Iが大きくなることであるから、一時的に大きなスルーレートを得ることができる。さらに、平衡状態時には、P型電界効果トランジスタM11、M13、M16のゲート電圧は元の状態に戻るために、消費電流は大きくならない。

【0034】同様に、信号入力端子2に対して信号入力端子1に印加される電圧が低い場合、差動トランジスタ対を構成する電界効果トランジスタM2のドレインからの入力段の出力が高くなり、出力段において、そのレベルシフト信号が高くなり、即ちN型電界効果トランジスタM14のゲート電圧が高くなると同時に、入力段のN型電界効果トランジスタM15のゲート電圧も高くなる。このことはN型電界効果トランジスタM15に大きな電流を流すことになる。つまり、入力段に流れる電流が出力信号端子3の下降期間だけ大きくなることを意味する。従って、式 $dV_0/dt = I_i/C$ の変数 I_i が大きくなることであるから、一時的に大きなスルーレートを得ることができる。さらに、平衡状態時には、N型電界効果トランジスタM14、M15のゲート電圧は元の状態に戻るために、消費電流は大きくならない。

【0035】以上説明したように、本実施形態の演算増

幅器では、消費電流を増加させず、広入力レンジおよび広出力レンジが可能であり、信号出力端子3の電位の上昇あるいは下降を従来より速やかに行える。

【0036】図2は、本発明の演算増幅器の実施形態2を示す回路図である。図2において、実施形態1の説明に参照した図1と同一の機能を有する要素には、同一の参照符号が付されている。以下では、本実施形態を、主に実施形態1との相違点について説明する。

【0037】図2を参照すると、本実施形態が実施形態1と相違する点は、出力段において、電界効果トランジスタM12の導電型をN型からP型に置き換え、これに伴い、第4の定電流源I4を実施形態1と逆極性とした点にある。即ち、第4の定電流源I4は、電流吐き出し型とされ、電界効果トランジスタM12のドレインと高位側端子5との間に挿入される。このような回路構成からなる本実施形態の演算増幅器は、演算増幅器としての基本的な動作において実施形態1と同様とされ、消費電流を増加させず、広入力レンジおよび広出力レンジが可能であり、信号出力端子3の電位の上昇あるいは下降を従来よりも速やかに行える。

【0038】図3は、本発明の演算増幅器の実施形態3を示す回路図である。図3において、実施形態1の説明に参照した図1と同一又は同等の機能を有する要素には同一の参照符号が付されてる。

【0039】図3を参照すると、本実施形態が実施形態1と相違する点は、出力段において、ドレインおよびゲート端子をP型電界効果トランジスタM11のドレイン端子に接続し、ソース端子を高位側電源端子5に接続したP型電界効果トランジスタM17を付加した点である。この回路構成で演算増幅器としての機能は基本的に実施形態1と同様となるが、本実施形態においては、P型電界効果トランジスタM12のゲート端子は低インピーダンスとなるため、高周波域での周波数特性が向上する。

【0040】図4は、本発明の演算増幅器の実施形態4を示す回路図である。図4を参照すると、本実施形態の演算増幅器は、出力段において、図2に示す実施形態2の演算増幅器における第3の定電流源I3を、図4のN型電界効果トランジスタM12に置き換えた構成に相当する。このN型電界効果トランジスタM12は、ソースを低位側電源端子4に接続しゲートおよびドレインをP型電界効果トランジスタM11のドレインに接続し、次段のN型電界効果トランジスタM13と共にカレントミラー回路を構成する。他の回路構成は、図2の実施形態2の演算増幅器と同じであり、重複説明を省略する。

【0041】次に、本実施形態の演算増幅器の動作について簡単に説明すると、出力段において、入力段の出力は、P型電界効果トランジスタM14のゲートに入力され、信号入力端子1、2にそれぞれ印加される信号電圧の割合に応じてゲート電圧を変化させ、同時に、P型電

界効果トランジスタM11およびカレントミラー接続のN型電界効果トランジスタM12, M13を介してレベルシフトされ、レベルシフト信号として、N型電界効果トランジスタM15のゲートに入力され、そのゲート電圧を同時変化させる。これら電界効果トランジスタM14, 15の各ゲート電圧変化に応じ、出力端子3の電位が速やかに上昇あるいは下降する。他の動作は、図2の実施形態2の演算増幅器と同じであり、重複説明を省略する。

【0042】また、本実施形態では、平衡状態時にP型電界効果トランジスタM14、N型電界効果トランジスタM15を流れるアードリング電流は、P型電界効果トランジスタM11, M14のサイズ比、N型電界効果トランジスタM12, 13のサイズ比、および、第3の定電流源I3に流す電流により決まる。

【0043】本実施形態の演算増幅器においても、消費電流を増加させず、広入力レンジおよび広出力レンジが可能であり、信号出力端子3の電位の上昇あるいは下降を従来よりも速やかに行える。

【0044】図5は、本発明の演算増幅器の実施形態5を示す回路図である。図5を参照すると、本実施形態に係わる演算増幅器は、大きく分割すると、信号入力端子1, 2の信号を入力し差動増幅する入力段と、出力信号端子3を駆動し信号出力する出力段と、入力段の出力および出力信号端子3の間に接続された容量C1とから構成されている。入力段以外は、図1の実施形態1の演算増幅器と同じであり、重複説明を省略する。

【0045】本実施形態の演算増幅器の入力段は、ソースが共通に接続され、ゲートがそれぞれ信号入力端子1, 2に接続され差動トランジスタ対を構成するN型電界効果トランジスタM2, M1と、N型電界効果トランジスタM1, M2の共通接続されたソースと低位側電源端子4との間に接続された第1の定電流源I1と、ゲートおよびドレインがN型電界効果トランジスタM1のドレインと接続され、ソースが高位側電源端子5に接続されたP型電界効果トランジスタM3と、ソースが高位側電源端子5に接続され、ゲートがP型電界効果トランジスタM3のゲートおよびドレインに接続され、ドレインがN型電界効果トランジスタM2のドレインに接続されたP型電界効果トランジスタM4とを備え、さらに、第1の定電流源I1と並列に接続され、ゲートを出力段のN型電界効果トランジスタM8のゲートに接続し、出力段のN型電界効果トランジスタM8のゲートに入力されるレベルシフト信号により、N型電界効果トランジスタM1, M2からなる差動トランジスタ対に供給するバイアス電流を並列制御するN型電界効果トランジスタM9と、ソースを高位側電源端子5に接続し、ゲートが出力段のP型電界効果トランジスタM5およびM7のゲートに接続されたP型電界効果トランジスタM10と、ソースを低位側電源端子4に接続し、ゲートおよびドレイン

をP型電界効果トランジスタM10のドレインに接続したN型電界効果トランジスタM11と、ソースを低位側電源端子4に接続し、ゲートがN型電界効果トランジスタM11のゲートおよびドレインにカレントミラー接続され、ドレインがN型電界効果トランジスタM1, M2の共通接続されたソースに接続されたN型電界効果トランジスタM12とを備えている。

【0046】次に、本実施形態に係わる演算増幅器の動作について説明する。

【0047】本実施形態の演算増幅器は、N型電界効果トランジスタM1, M2により差動トランジスタ対を構成する入力段を備え、P型電界効果トランジスタM2のドレイン端子の信号が、入力段の出力として、出力段に出力される。出力段において、この入力段の出力は、P型電界効果トランジスタM7のゲートに入力され、信号入力端子1, 2にそれぞれ印加される信号電圧の割合に応じてゲート電圧を変化させ、同時に、P型電界効果トランジスタM5, M6を介してレベルシフトされ、このレベルシフト信号が、N型電界効果トランジスタM8のゲートに入力され、そのゲート電圧を同時変化させる。これら電界効果トランジスタM7, M8の各ゲート電圧変化に応じ、出力端子3の電位が速やかに上昇あるいは下降する。

【0048】この出力段の動作は、図8の従来の演算増幅器の出力段の動作と同じであり、従来と同様に、広出力レンジの出力段が可能であり、平衡状態時にP型電界効果トランジスタM13およびN型電界効果トランジスタM14を流れるアードリング電流は、P型電界効果トランジスタM11, M13のサイズ比および第3の定電流源I3に流す電流により決まる。

【0049】さらに、本実施形態では、信号入力端子2に対して信号入力端子1に印加される電圧が高い場合、差動トランジスタ対を構成する電界効果トランジスタM2のドレインからの入力段の出力が低くなり、出力段のP型電界効果トランジスタM5, M7のゲート電圧は低くなると同時に、入力段のP型電界効果トランジスタM10のゲート電圧も低くなる。すると、P型電界効果トランジスタM10に流れる電流が大きくなり、その電流は、N型電界効果トランジスタM11にも流れる。さらに、N型電界効果トランジスタM12とN型電界効果トランジスタM11とはカレントミラー接続であるので、N型電界効果トランジスタM12にも大きな電流が流れる。従って、式 $dV_0/dt = I_i/C$ の変数 I_i が大きくなることであるから、一時的に大きなスルーレートを得ることができる。

【0050】同様に、信号入力端子2に対して信号入力端子1に印加される電圧が低い場合、差動トランジスタ対を構成する電界効果トランジスタM2のドレインからの入力段の出力が高くなり、出力段において、そのレベルシフト信号が高くなり、N型電界効果トランジスタM

8のゲート電圧は高くなる。同時に、入力段のN型電界効果トランジスタM9のゲート電圧も高くなる。このことはN型電界効果トランジスタM9を大きな電流を流すことになる。つまり入力段に流れる電流が出力信号端子3の下降期間だけ大きくなることを意味する。従って、式 $dV_0/dt \propto I_i/C$ の変数 I_i が大きくなることであるから、一時的に大きなスルーレートを得ることができる。

【0051】以上説明したように、本実施形態の演算増幅器は、消費電流を増加させず、広出力レンジが可能であり、信号出力端子3の電位の上昇あるいは下降を従来よりも速やかに行える。

【0052】また、本実施形態の演算増幅器の出力段は、実施形態1の演算増幅器の出力段と同じであるが、上述の他の各実施形態2～4の演算増幅器の出力段と本実施形態の演算増幅器の入力段とを組み合わせた変形例も、本実施形態の演算増幅器と同様に、消費電流を増加させず、広出力レンジが可能であり、信号出力端子3の電位の上昇あるいは下降を従来よりも速やかに行えることは明らかである。

【0053】図6は、本発明の演算増幅器の実施形態6を示す回路図である。図6において、実施形態1の説明に参照した図1と同一又は同等の機能を有する要素には同一の参照符号が付されている。以下では、本実施形態を、実施形態1との相違点について説明する。

【0054】図6を参照して、本実施形態が実施形態1と相違する点は、P型電界効果トランジスタM11、M13、M16の代わりにPNP型バイポーラトランジスタQ11、Q13、Q16を用い、N型電界効果トランジスタM14、M15の代わりにNPN型バイポーラトランジスタQ14、Q15を用いた構成にした点にある。

【0055】この構成で、電界効果トランジスタの場合もバイポーラトランジスタの場合も、演算増幅器としての機能の差が無いため、基本的な動作は実施形態1と同様なものとなる。一般的に、バイポーラトランジスタの方が電界効果トランジスタに比べ相互コンダクタンスが大きいので、立ち上がり時間または立ち下り時間は、電界効果トランジスタに比べて小さくなる可能性がある。

【0056】また、本実施形態の演算増幅器は、実施形態1の演算増幅器の入力段の並列制御手段および出力段において、入力段の出力またはそのレベルシフト信号を制御電極に入力するトランジスタのみをバイポーラトランジスタで構成する演算増幅器である。同様に、本実施形態の演算増幅器の変形例として、上述の他の各実施形態2～5の演算増幅器の入力段の並列制御手段および出力段において、入力段の出力またはそのレベルシフト信号を制御電極に入力するトランジスタのみをバイポーラトランジスタで構成し、本実施形態の演算増幅器と同様の効果を得ることが可能である。

【0057】図7は、本発明の演算増幅器の実施形態7を示す回路図である。図7において、実施形態1の説明に参照した図1と同一又は同等の機能を有する要素には同一の参照符号が付されている。以下では、本実施形態を、実施形態1との相違点について説明する。

【0058】図7を参照すると、本実施形態が実施形態1と相違する点は、信号出力端子3にゲートを接続したN型電界効果トランジスタM17、P型電界効果トランジスタM18が追加され、N型電界効果トランジスタM17、M15の直列接続回路が第1の定電流源I1に並列接続され、P型電界効果トランジスタM18、M16の直列接続回路が第2の定電流源I2に並列接続されている点のみである。

【0059】N型電界効果トランジスタM17、M15の直列接続回路は、信号出力端子3の電位が低位側電源端子4の電位と同等であるとき不活性化される。また、それ以外のとき活性化されて、出力段のN型電界効果トランジスタM14のゲートに入力されるレベルシフト信号により、N型電界効果トランジスタM1、M2からなる差動トランジスタ対に供給するバイアス電流を並列制御する。

【0060】P型電界効果トランジスタM18、M16の直列接続回路は、信号出力端子3の電位が高位側電源端子5の電位と同等であるとき不活性化される。また、それ以外のとき活性化されて、出力段のP型電界効果トランジスタM13のゲートに入力される入力段の出力により、P型電界効果トランジスタM5、M6からなる差動トランジスタ対に供給するバイアス電流を並列制御する。

【0061】本実施形態の演算増幅器は、信号出力端子3の電位が低位側電源端子4または高位側電源端子5の電位と同等であるとき、信号入力端子1、2の電位により各差動トランジスタ対を介して入力段に流れる貫通電流を防止できる。

【0062】また、本実施形態の演算増幅器は、実施形態1の演算増幅器における電界効果トランジスタM15、M16から成る各並列制御手段を、信号出力端子3の電位が電源端子4または5の電位と同等であるとき不活性化する各並列制御手段に置き換えた演算増幅器である。同様に、本実施形態の演算増幅器の変形例として、上述の他の各実施形態2～6の演算増幅器の各並列制御手段を、信号出力端子3の電位が電源端子4または5の電位と同等であるとき不活性化する各並列制御手段に置き換え、本実施形態の演算増幅器と同様の効果を得ることが可能である。

【0063】なお、上述の各実施形態1～7の演算増幅器の各変形例として、各トランジスタの導電型、各定電流源の極性などを逆にし相補構成した回路により、同様の効果が得られる演算増幅器を実現できることは明らかである。

【0064】また、上述の各実施形態 1 ～ 7 の演算増幅器において、電界効果トランジスタにより差動トランジスタ対を構成した入力段について説明してきたが、バイポーラトランジスタにより差動トランジスタ対を構成する入力段により、同様の効果が得られる演算増幅器を実現できることも明らかである。

【0065】

【発明の効果】以上説明したように、本発明による演算増幅器は、差動トランジスタ対に供給するバイアス電流を定電流源と並列に制御することにより、広入力レンジ、広出力レンジで動作でき、消費電力を増加させずに、信号出力端子の立上り時間、および立下り時間を従来よりも速くできる。具体的には、従来の演算増幅器と同値の送付電流で、2 倍以上のスルーレートを得ることができる。

【0066】また、定電流源との並列制御により、平衡状態時および信号変化時のバイアス電流値を独立に設計でき、回路設計が容易になるなどの効果がある。

【図面の簡単な説明】

【図 1】本発明の演算増幅器の実施形態 1 を示す回路図である。

【図 2】本発明の演算増幅器の実施形態 2 を示す回路図

である。

【図 3】本発明の演算増幅器の実施形態 3 を示す回路図である。

【図 4】本発明の演算増幅器の実施形態 4 を示す回路図である。

【図 5】本発明の演算増幅器の実施形態 5 を示す回路図である。

【図 6】本発明の演算増幅器の実施形態 6 を示す回路図である。

10 【図 7】本発明の演算増幅器の実施形態 7 を示す回路図である。

【図 8】従来の演算増幅器の構成例を示す回路図である。

【符号の説明】

1, 2 信号入力端子

3 信号出力端子

4, 5 電源端子

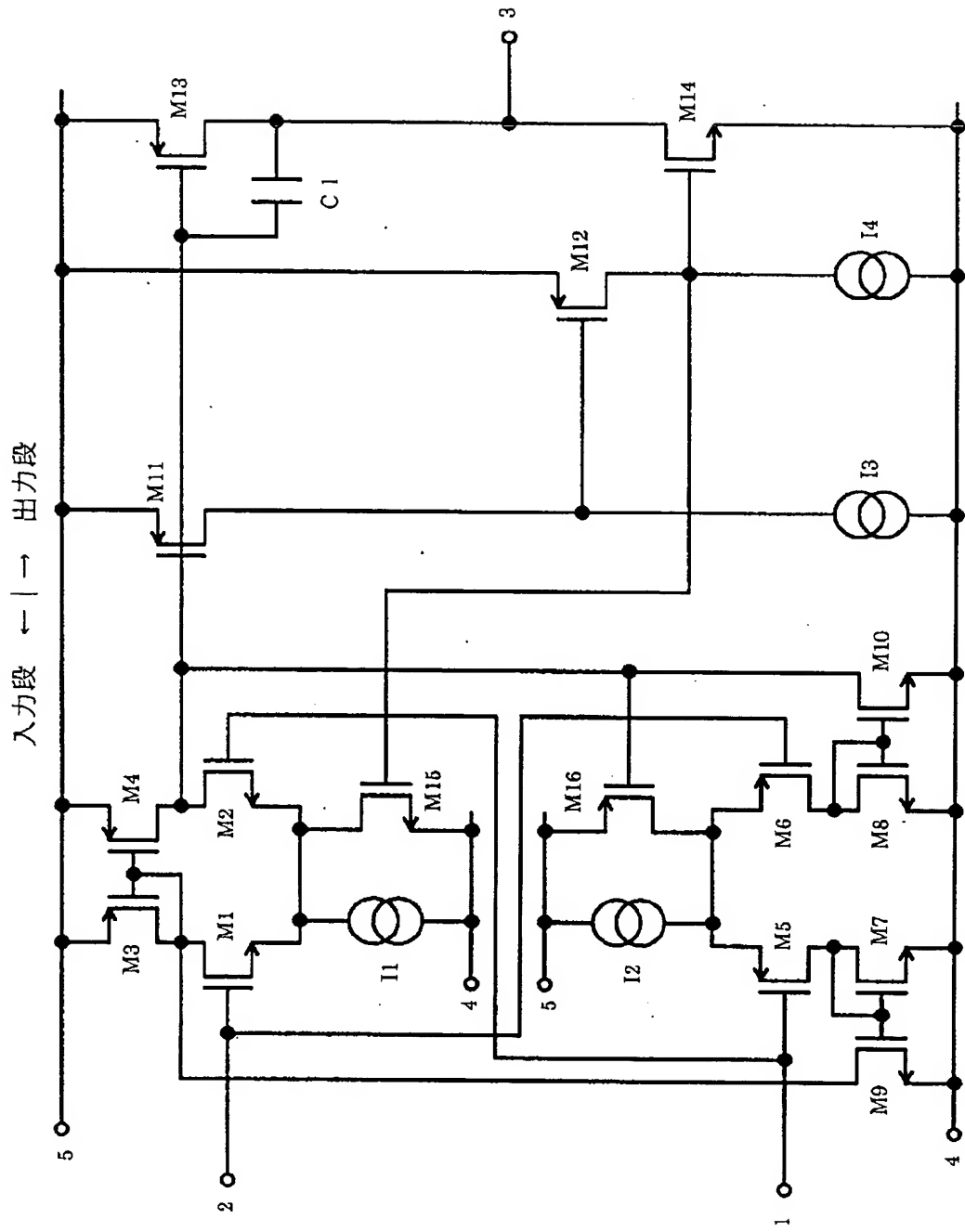
I 1 ～ I 4 定電流源

M 1 ～ M 1 8 電界効果トランジスタ

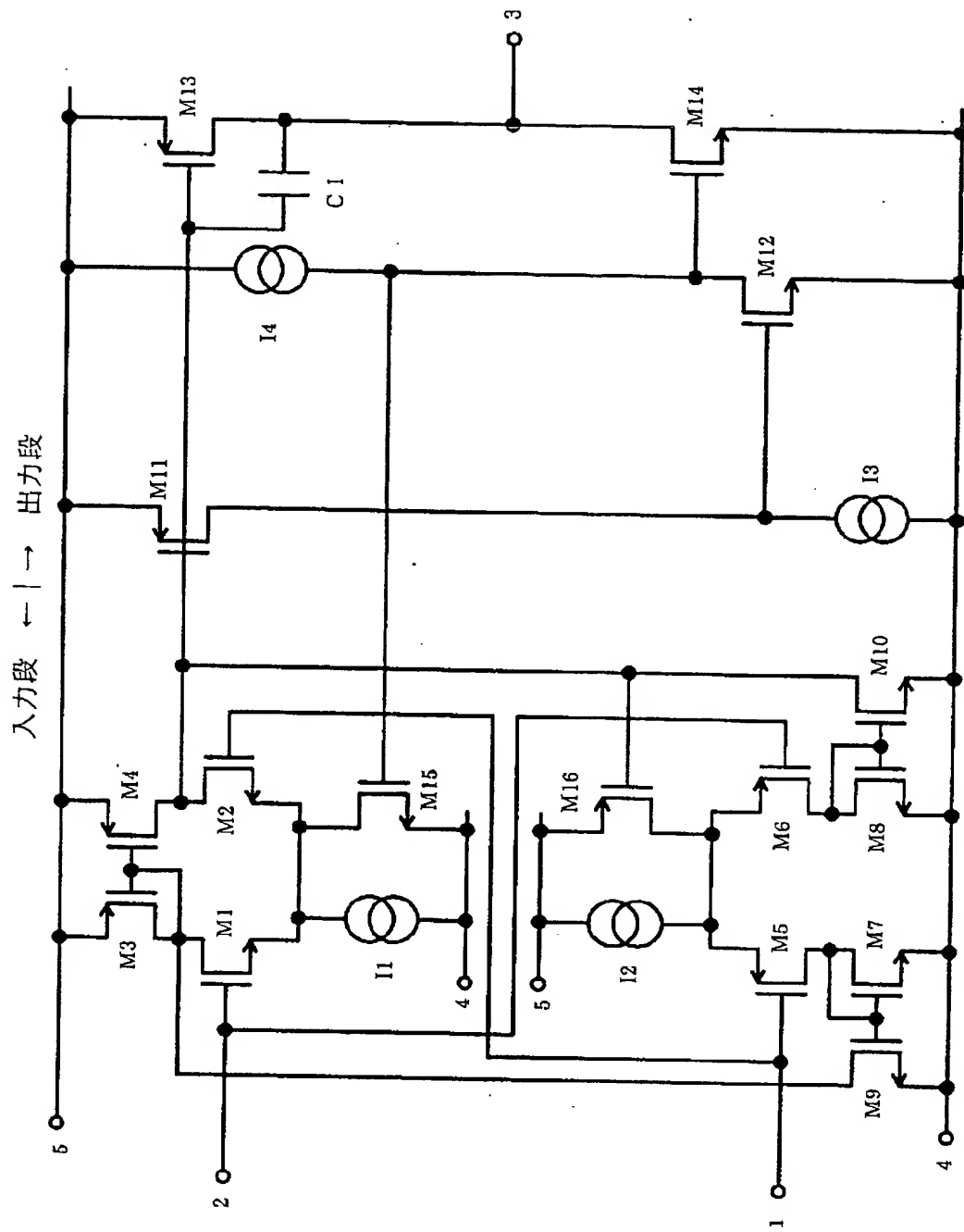
20 Q 1 1 ～ Q 1 6 バイポーラトランジスタ

C 1 位相補償容量

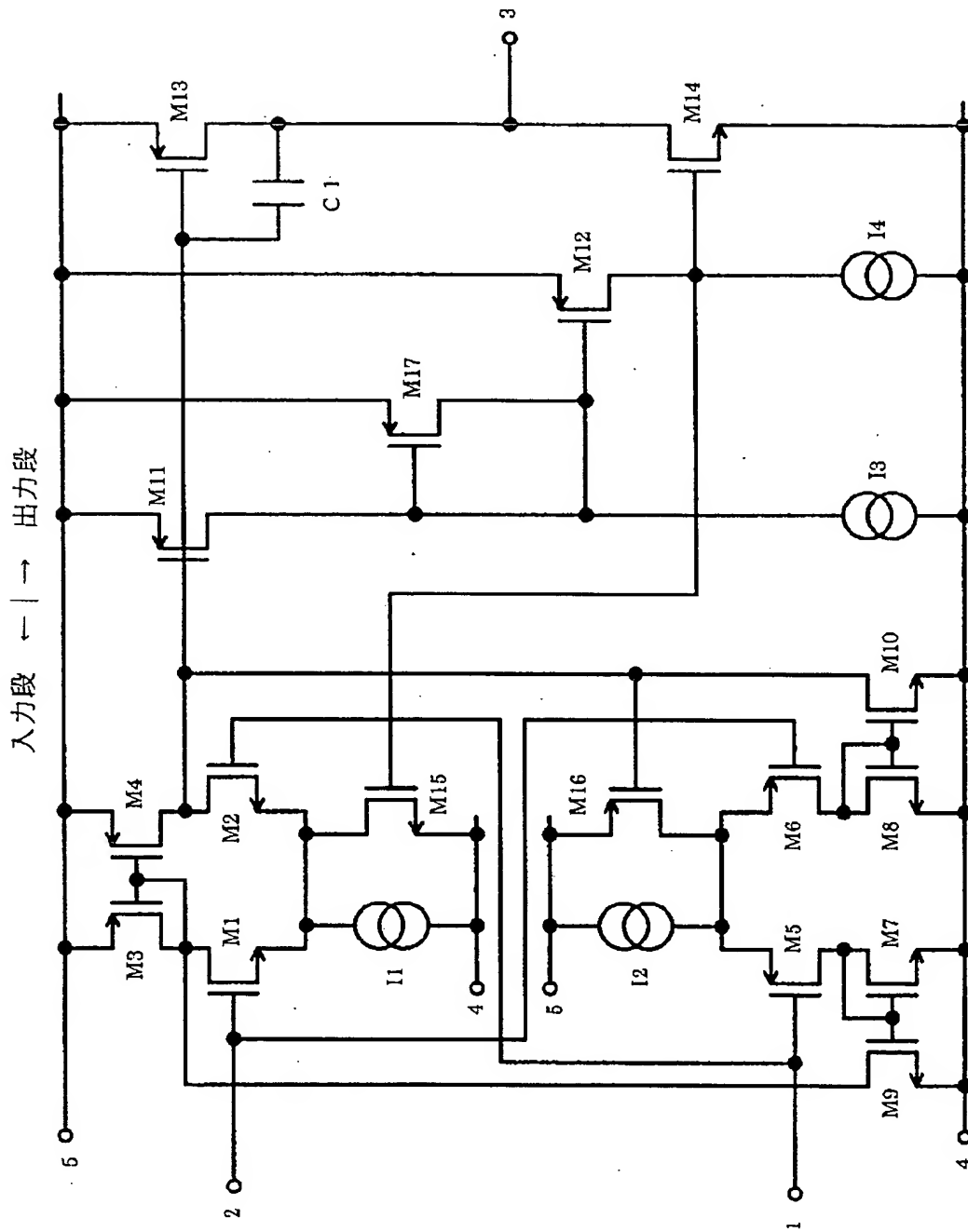
【図 1】



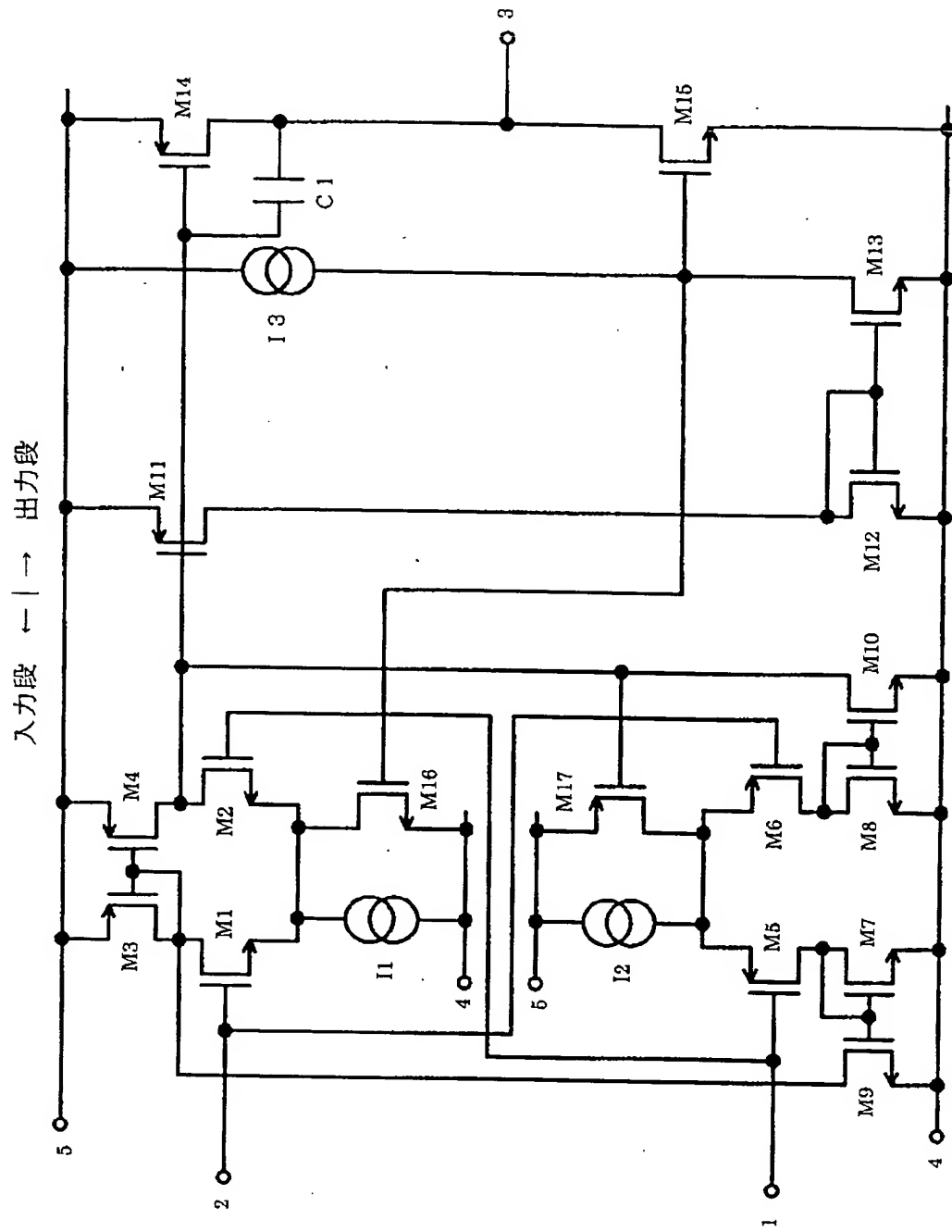
【図 2】



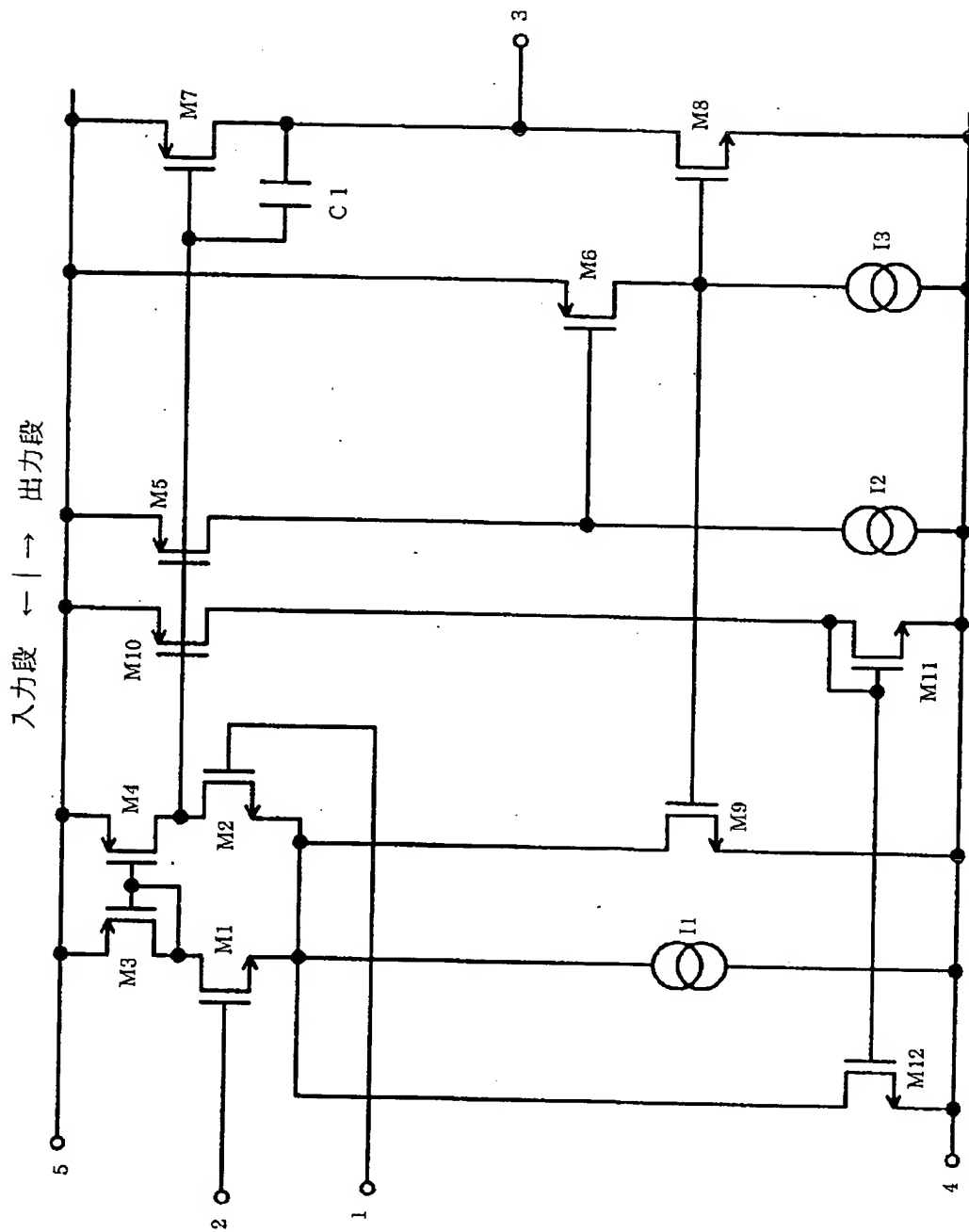
【図3】



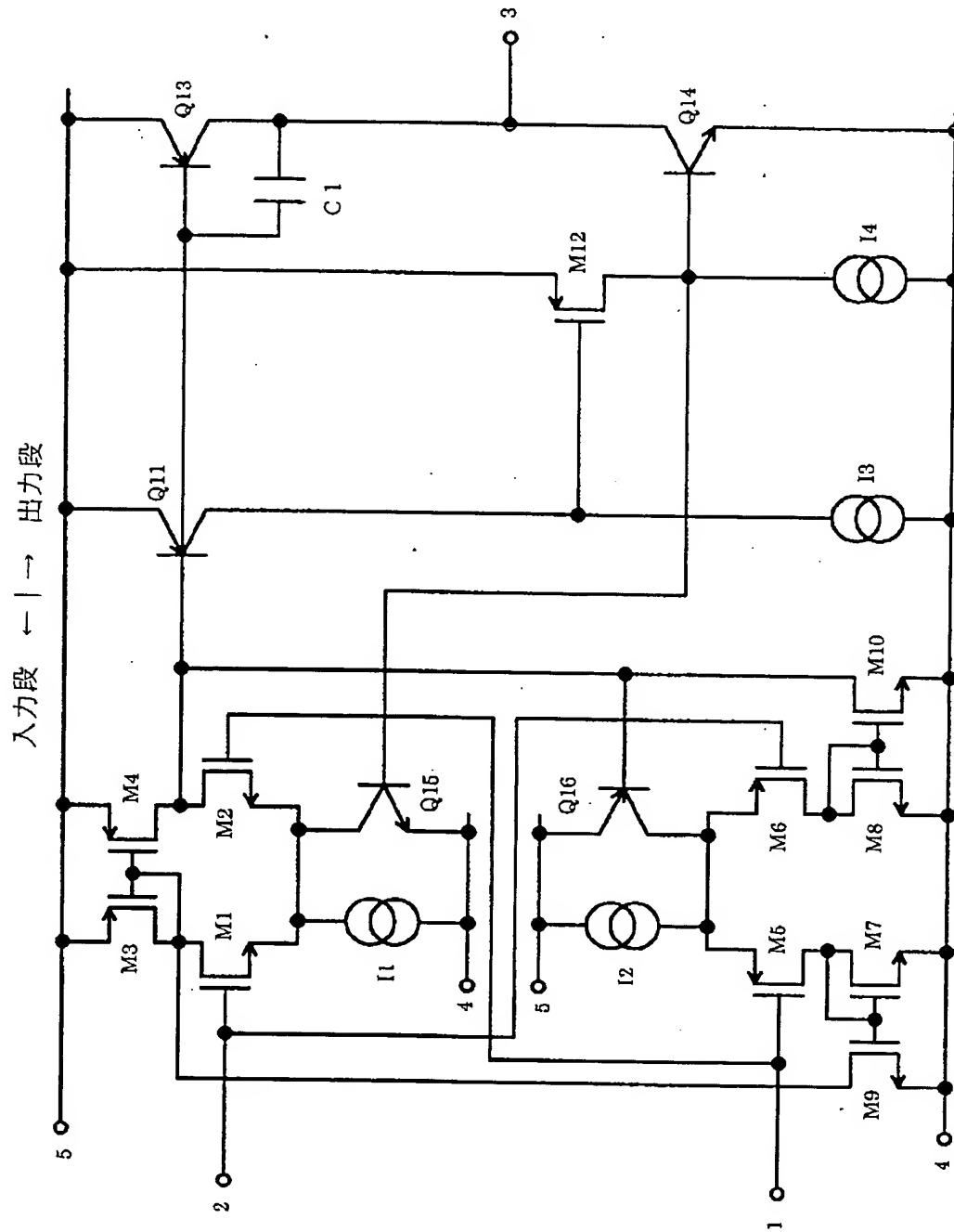
【図4】



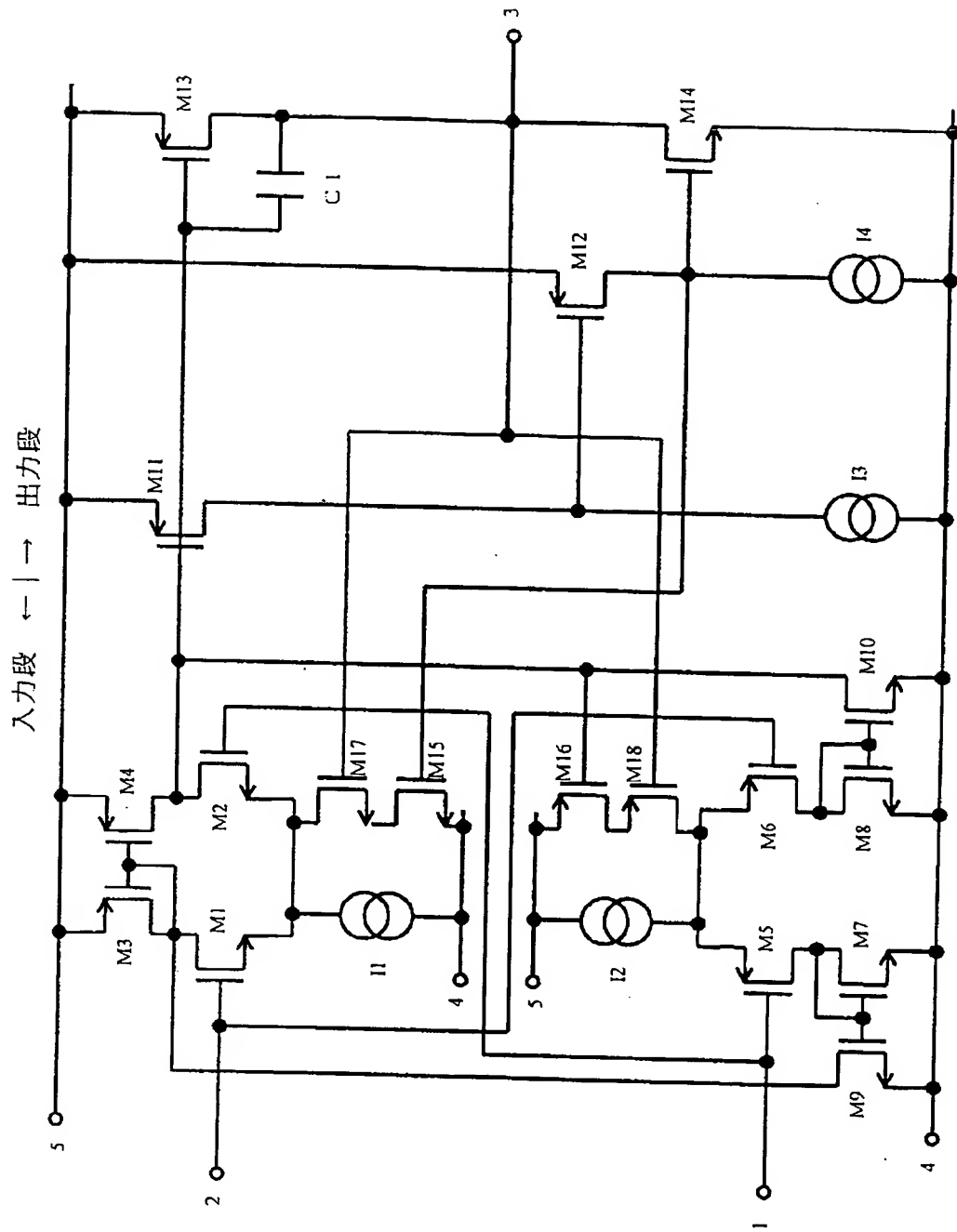
【図5】



【図6】



【図 7】



【図8】

